



#3/Print Paper
DD
2-5-02

PATENT

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Naoki FURUHATA
Appl. No.: 09/848,263 Group: 2811
Filed: May 4, 2001 Examiner: UNKNOWN
For: MONOLITHIC COMPOUND SEMICONDUCTOR
INTEGRATED CIRCUIT AND METHOD OF
FORMING THE SAME

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

Date: January 23, 2002

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-149797	May 17, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By 
Robert J. Patch, #17,355

745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

Attachment

RECEIVED
JAN 23 2002
Rev. 04/19/2000



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 5月17日

出 願 番 号
Application Number:

特願2000-149797

出 願 人
Applicant (s):

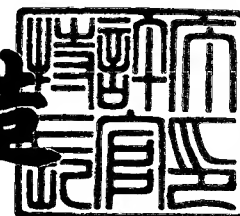
日本電気株式会社

RECEIVED
JAN 25 2002
162000-149797-ROOM

2001年 2月16日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3007599

【書類名】 特許願

【整理番号】 74112178

【提出日】 平成12年 5月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/80

【発明の名称】 化合物半導体集積回路およびその製造方法

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 古畑 直規

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100081433

 【弁理士】

 【氏名又は名称】 鈴木 章夫

【手数料の表示】

 【予納台帳番号】 007009

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 化合物半導体集積回路およびその製造方法

【特許請求の範囲】

【請求項 1】 III - V 族化合物半導体を用いたヘテロ接合バイポーラトランジスタ（以下、H B T）と抵抗体及びM I M (Metal-Insulator-Metal)キャパシタを同一半導体基板上に形成した化合物半導体集積回路において、前記H B Tのベース電極層もしくはコレクタ電極層と、前記抵抗体または前記M I Mキャパシタの絶縁体の少なくとも一方とが同一材料で構成されていることを特徴とする化合物半導体集積回路。

【請求項 2】 前記M I Mキャパシタの電極部と、前記H B Tのコンタクトメタルとが同一材料で構成されていることを特徴とする請求項 1 記載の化合物半導体集積回路。

【請求項 3】 III - V 族化合物半導体を用いたヘテロ接合バイポーラトランジスタ（以下、H B T）と抵抗体及びM I M (Metal-Insulator-Metal)キャパシタを同一半導体基板上に形成する化合物半導体集積回路の製造方法において、前記H B Tのベース電極層もしくはコレクタ電極層を形成する際に、当該ベース電極層もしくはコレクタ電極層と同一材料を用いて、同時に前記抵抗体または前記M I Mキャパシタの絶縁体の少なくとも一方を形成することを特徴とする化合物半導体集積回路の製造方法。

【請求項 4】 前記H B Tのベース電極層もしくはコレクタ電極層を形成する方法が、有機金属気相成長方法もしくは分子線エピタキシ法により、高濃度に不純物をドーピングした半導体層の選択成長であることを特徴とする請求項 3 記載の化合物半導体集積回路の製造方法。

【請求項 5】 前記抵抗体もしくは前記M I Mキャパシタの絶縁体を形成する方法が、有機金属気相成長方法もしくは分子線エピタキシ法により、高濃度に不純物をドーピングした半導体層の選択成長であることを特徴とする請求項 4 記載の化合物半導体集積回路の製造方法。

【請求項 6】 前記M I Mキャパシタの電極部を形成する際に、前記H B Tのコンタクトメタルを同時に形成することを特徴とする請求項 3 ないし 5 のいづ

れか記載の化合物半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、化合物半導体集積回路およびその製造方法に関し、特にIII - V族化合物半導体ヘテロ接合バイポーラトランジスタと抵抗体、キャパシタを同一基板上に設置したモノリシックマイクロ波集積回路(MMIC)およびその製造方法に関する。

【0002】

【従来の技術】

今日、携帯電話や光通信システム等の普及に伴ない、マイクロ波、ミリ波帯の高周波領域で動作する低雑音素子、高出力素子の開発が活発に行われている。II I - V族化合物半導体を用いたヘテロ接合バイポーラトランジスタ(以下、HBTとする)は、優れた高周波特性と高い電流駆動能力を有し、しかも単一正電源動作が可能のため、これらの要求に答える素子として有望視され、すでに一部実用化されている。HBTを携帯電話等に応用する場合には、素子の高性能化とともにチップの小型化が必須であり、トランジスタと共に、抵抗体やキャパシタ等の受動素子を同一基板上に形成するモノリシックマイクロ波集積回路(MMIC)の開発が重要になる。このようなHBTを用いたMMICを製造する場合、従来はHBTを作製した後、キャパシタや抵抗体等の受動素子をHBTとは独立に作製していた。その一例の構造を図9に示す。

【0003】

図9において、化合物半導体基板110上に、ここでは詳細を省略するがバッファ層、サブコレクタ層、コレクタ層、ベース層、エミッタ層、キャップ層を所要のパターンに積層形成し、かつエミッタ電極120、ベース電極121、コレクタ電極122を形成してHBT素子を形成した上で、第1層間絶縁膜130を形成し、コンタクトホールを開口し、かつ第1層配線131を形成し、前記各電極に接続する。また、このとき、前記第1層配線131の一部でMIMキャパシタの下部電極140を形成する。また、前記1層間絶縁膜130上には、NiC

rやWSiN等の抵抗体メタル141を形成する。その上に第2層間絶縁膜132を形成し、スルーホールを開口した上で、前記第1層配線131や前記抵抗体メタル141につながる第2層配線133を形成し、前記抵抗体メタル141により抵抗体を形成する。また、前記第2層間絶縁膜132に設けた凹部内において前記下部電極140上にSiO₂やSiN等の絶縁膜142を形成し、その上に第2層配線143の一部で上部電極143を形成し、MIM (Metal-Insulator-Metal)キャパシタを形成する。なお、図示は省略するが、特開平10-107042号公報に記載のように、HBTのサブコレクタ層をエッチングにより、所望の抵抗値の得られる大きさに加工する場合もある。

【0004】

【発明が解決しようとする課題】

このようなMMICでは、次のような問題がある。まず、HBT素子と抵抗体およびMIMキャパシタを別々に作製する場合は、それぞれを作製するためのマスクが必要になり、マスク、工程数とも多くなる。特に、HBTを作製する場合は、エミッタ、ベース、コレクタに最適な3種類のメタルを用いるため、それだけでもプロセスが複雑になるので、さらなる工程増加は、避けることが望ましい。また、NiCrやWSiN等の抵抗体メタルを作製する場合も、当該メタルを蒸着もしくはスパッタ形成する工程の他に抵抗体として加工するプロセスが加わるので、工程数が増加することになる。この場合、エピタキシャル成長した半導体でエピ抵抗を構成することも考えられるが、この場合には加工形状で抵抗値が決定されるので、抵抗値の制御が困難な上、下地に別のエピ層がある場合は、それが寄生容量となり周波数により抵抗値が変化するという問題が生じる。

【0005】

本発明の目的は、プロセスを簡略化でき、しかもデバイス特性を向上することが可能なHBT素子を含むMMICとその製造方法を提供することにある。

【0006】

【課題を解決するための手段】

本発明は、HBTと抵抗体及びMIMキャパシタを同一半導体基板上に形成した化合物半導体集積回路において、前記HBTのベース電極層もしくはコレクタ

電極層と、前記抵抗体または前記MIMキャパシタの絶縁体の少なくとも一方とが同一材料で構成されていることを特徴とする。また、前記MIMキャパシタの電極部と、前記HBTのコンタクトメタルとが同一材料で構成されていることが好ましい。

【0007】

また、本発明は、HBTと抵抗体及びMIMキャパシタを同一半導体基板上に形成する化合物半導体集積回路の製造方法において、前記HBTのベース電極層もしくはコレクタ電極層を形成する際に、当該ベース電極層もしくはコレクタ電極層と同一材料を用いて、同時に前記抵抗体または前記MIMキャパシタの絶縁体の少なくとも一方を形成することを特徴とする。この場合、前記HBTのベース電極層もしくはコレクタ電極層を形成する方法が、有機金属気相成長方法もしくは分子線エピタキシ法により、高濃度に不純物をドーピングした半導体層の選択成長とする。また、前記抵抗体もしくは前記MIMキャパシタの絶縁体を形成する方法が、有機金属気相成長方法もしくは分子線エピタキシ法により、高濃度に不純物をドーピングした半導体層の選択成長とする。さらに、前記MIMキャパシタの電極部を形成する際に、前記HBTのコンタクトメタルを同時に形成することが好ましい。

【0008】

本発明によれば、高濃度に不純物をドーピングした半導体層の選択成長により、HBTのベース電極層もしくはコレクタ電極層と、抵抗体またHMIMキャパシタの絶縁体の少なくとも一方を形成するので、HBTと抵抗体及びMIMキャパシタの同時作製が可能になり、マスク数やプロセス工程数を削減でき、しかもHBTの寄生抵抗が低減し、デバイス特性を向上させることができる。

【0009】

【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。

（第1の実施の形態）

図1は本発明の第1の実施形態のMMICを模式的に示す断面構成図である。GaAs基板10上に、HBT素子と、抵抗体と、MIMキャパシタが一体的に

形成されている。前記HBT素子については詳細は後述するが、HBTで構成され、エミッタ電極20、ベース電極21、コレクタ電極22が形成されている。また、抵抗体は p^+ -GaAs層で形成される抵抗体24と、抵抗体電極26で構成される。さらに、MIMキャパシタは、下部電極23と、その上に形成された多結晶の p^+ -GaAs層からなる絶縁体25と、その上に形成された上部電極27とで構成される。そして、全面に SiO_2 膜からなる層間絶縁膜28が形成され、かつ前記HBTの各電極や抵抗体電極、MIMキャパシタ電極を開口するコンタクトホールを介して前記層間絶縁膜28上に形成された第2層配線29によって所要の回路が構成され、前記MMICが構成されている。

【0010】

図2は、本発明の第1の実施形態のMMICに用いるHBTの断面構造を示す。同図において、半絶縁性GaAs基板10上に、 i -GaAsもしくは i -AlGaAsからなるバッファ層11（500nm）が形成されており、このバッファ層11上にSiを $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングした n^+ -GaAsサブコレクタ層12（500nm）と、Siを $5 \times 10^{16} \text{ cm}^{-3}$ ドーピングした n -GaAsコレクタ層13（500nm）が形成されている。さらに、前記コレクタ層13上に、Cを $3 \times 10^{19} \text{ cm}^{-3}$ ドーピングした p^+ -GaAsベース層14（80nm）が形成されている。前記ベース層14上には、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングした n -AlGaAsもしくは n -InGaPエミッタ層15（100nm）が形成されている。そして、前記エミッタ層15上には、エミッタ電極をとるために、Siを高濃度（ $1 \times 10^{18} \text{ cm}^{-3}$ 以上）にドーピングした n^+ -GaAs層（100nm）と、 n^+ -InGaAs層（100nm）の積層構造からなるエミッタキャップ層16、17が形成されている。これらの構造は、分子線エピタキシ法（MBE）もしくは有機金属気相成長法（MOVPE）を用いて成長する。さらに、本構造の特徴として、前記 p^+ -GaAsベース層14の電極形成部分に、選択的にCを $1 \times 10^{20} \text{ cm}^{-3}$ ドーピングした p^+ -GaAs層18（100nm）が形成されている。この層の形成には、選択成長に優れているMOVPE法、もしくは、有機金属分子線エピタキシ法（MOMBE）を用いる。また、本構造では、コンタクト電極として、WSiエミッタ電極2

0、Ti/Pt/Auベース電極21、Ni/AuGe/AuもしくはTi/Pt/Auコレクタ電極22が形成されている。

【0011】

次に、図3～図4を用いて、前記MMICの製造方法について説明する。半絶縁性GaAs基板10上に、有機金属気相成長法(MOVPE)を用いて、図2に示したHBTが形成される。このHBTの製造工程としては、図2に示したバッファ層11、サブコレクタ層12、コレクタ層13、ベース層14、エミッタ層15、エミッタキャップ層16、17を順次積層した後、図3(a)のように、全面にWSiからなるエミッタ電極20をスパッタで形成し、フォトリソでマスクして、ドライエッチングにより所望のエミッタ寸法に加工し、前記エミッタ電極20を形成する。さらに、ウェットエッチングを用いて、エミッタキャップ層16、17とn-AlGaAsエミッタ層15をエッチングしてベース層14を表出させる。次に、フォトリソでマスクし、不要ベース層をウェットエッチングして、サブコレクタ層12を露出させる。さらに、素子部以外は、半絶縁性基板10までエッチングする。

【0012】

次に、図3(b)において、図外のフォトリソによりマスクして、Ni/AuGe/AuもしくはTi/Pt/Auを蒸着し、かつリフトオフ法によりコレクタ電極22とキャパシタ下部電極23を形成する。この時、図外の第1層配線を、同メタルで形成することも可能である。

【0013】

次に、図3(c)のように、SiO₂膜30(100nm)を素子全体に堆積し、フォトリソとウェットエッチングによりHBTのベース電極部と抵抗体を形成する部分、キャパシタ部を開口し、マスクとする。この後、図4(a)のように、有機金属分子線エピタキシ法(MOMBE)を用いて、p⁺-GaAs層(1×10²⁰cm⁻³:100nm)をHBTのベース電極層18として、これと同時に抵抗体24として、およびMIMキャパシタの前記キャパシタ下部電極23上に絶縁体25としてそれぞれ選択的に成長する。この時、抵抗体24でのシート抵抗は約120Ωとなるので、それを基準に抵抗体24のサイズを調節し

て所望の抵抗値を得る。抵抗体 24 のサイズは、前記 SiO_2 マスク 30 により決定される。このとき、MIM キャパシタでは、下層にキャパシタ下部電極 23 が形成されているため、この上に選択成長した $p^+ - \text{GaAs}$ 層は単結晶化せずに多結晶となり、 $p^+ - \text{GaAs}$ 層の絶縁体 25 となる。III - V 化合物半導体の場合、多結晶ではきわめて高抵抗を示すので、MIM キャパシタの絶縁体として用いることが可能になる。

【0014】

次いで、前記 SiO_2 マスク 30 を除去した後、図 4 (b) において、図外のフォトリソマスクをかけて、ベース電極部と抵抗体電極部、キャパシタ部を窓開けし、 Ti/Pt/Au からなるベース電極 21 をリフトオフ法により形成し、これと同時に抵抗体電極 26、キャパシタ上部電極 27 を形成する。その後は、図 1 に示したように、 SiO_2 等の層間絶縁膜 28 を形成し、かつその表面の平坦化を行い、前記各電極を露出するコンタクトホールを開口し、金メッキ等で第 2 配線 29 を形成することで、MMIC が完成される。

【0015】

以上のような製造方法を用いることにより、抵抗体と、MIM キャパシタの絶縁体とが HBT 素子の電極と同時に形成することができ、集積回路の製造工程を大幅に減少させることができる。また抵抗体の抵抗値は SiO_2 マスク 30 の開口形状により決定できるので、制御性良く形成することができる。さらに、ベース電極 21 の直下に $p^+ - \text{GaAs}$ 層 18 を設けることにより、当該ベース電極 21 を構成するメタルとの接触抵抗を小さくでき、ベース抵抗を減少できる。そのため、素子の高周波特性を向上させることが可能となる。

【0016】

(第 2 の実施の形態)

次に、本発明の第 2 の実施形態としての MMIC について説明する。図 5 は、本発明の第 2 の実施形態の MMIC の断面図である。また、本実施形態に用いる HBT を図 6 に示しており、ここでは、コレクタ電極を選択成長で形成した HBT として形成している。図 5 において、HBT の真性部は図 2 に示した第 1 の実施形態と同様であるが、 $n^+ - \text{GaAs}$ サブコレクタ層 12 の電極形成部分に、

選択的にSiを $1 \times 10^{19} \text{ cm}^{-3}$ ドーピングした n^+ -GaAs層19 (100 nm)を形成する。この層の形成には、選択成長に優れているMOVPE法もしくはMOMBE法を用いる。また、本実施形態では、コンタクト電極として、WSiエミッタ電極20、Ti/Pt/Auベース電極21、Ni/AuGe/AuもしくはTi/Pt/Auコレクタ電極22を用いている。そして、その他の構成は第1の実施形態と同様であるので、同一符号を付して詳細な説明は省略する。

【0017】

次に、本第2の実施形態のMMICの製造工程について説明する。図7(a)のように、本形態の化合物半導体集積回路に用いるHBTは、半絶縁性GaAs基板10上に、前記第1の実施形態と同様に、バッファ層11、サブコレクタ層12、コレクタ層13、ベース層14、エミッタ層15、エミッタキャップ層16、17を順次MOVPE法を用いて成長した。さらに、全面にWSiからなるエミッタ電極20をスパッタで形成し、フォトリソでマスクして、ドライエッチングにより所望のエミッタ寸法に加工し、前記エミッタ電極20を形成する。さらに、ウェットエッチングを用いて、エミッタキャップ層16、17と n -AlGaAsエミッタ層15をエッチングしてベース層14を表出させる。次に、フォトリソでマスクし、不要ベース層をウェットエッチングして、サブコレクタ層12を露出させる。さらに、素子部以外は、半絶縁性基板10までエッチングする。

【0018】

次いで、図7(b)において、図外のフォトリソによりマスクして、ベース面を出し、Ti/Pt/Auを蒸着して、リフトオフ法によりベース電極21とキャパシタ下部電極23を形成する。この時、図外の第1層配線を、同メタルで形成することも可能である。

【0019】

次に、図7(c)において、 SiO_2 膜30 (100 nm)を素子全体に堆積し、フォトリソとウェットエッチングによりHBTのコレクタ電極部、抵抗体を形成する部分、MIMキャパシタ部をそれぞれ開口する。この後、MOVPE

E法を用いて、 $n^+ - \text{GaAs}$ 層 ($1 \times 10^{19} \text{ cm}^{-3}$: 100 nm) をHBTのコレクタ電極層19として、これと同時に抵抗体24として、およびキャパシタ下部電極23上の絶縁体25としてそれぞれ選択的に成長する。この時、抵抗体24のシート抵抗は約 65Ω となるので、それを基準に抵抗体24のサイズを調節して所望の抵抗値を得る。抵抗体24のサイズは、 SiO_2 マスク30の開口寸法により決定される。このとき、MIMキャパシタ部は、下層に下部電極23が形成されているため、この上に選択成長した $n^+ - \text{GaAs}$ 層からなる絶縁体25は単結晶化せず、多結晶になる。III - V族化合物半導体の場合、多結晶ではきわめて高抵抗を示すので、MIMキャパシタの絶縁体として用いることができる。

【0020】

その後、前記 SiO_2 マスク30を除去し、図8(a)のようになる。次に、図8(b)において、図外のフォトレジストマスクをかけて、コレクタ電極部、抵抗体電極部、キャパシタ部を窓開けし、 Ti/Pt/Au からなるコレクタ電極22をリフトオフ法により形成し、これと同時に抵抗体電極26、キャパシタ上部電極27を形成する。そして、図5に示したように、第2層配線を形成する場合は、 SiO_2 等の層間絶縁膜28を形成し、かつその表面の平坦化を行い、コンタクトホールを開口し、金メッキ等で第2配線29を形成することにより、MMICが完成される。

【0021】

以上のような製造方法を用いることにより、抵抗体、キャパシタがHBT素子と同時に形成することができ、集積回路の製造工程を大幅に減少させることができる。また抵抗体の抵抗値は SiO_2 マスクにより決定されるので、制御性良く形成することができる。さらにコレクタ電極部に $n^+ - \text{GaAs}$ 層を設けることにより、メタルとの接触抵抗を小さくでき、コレクタ抵抗を減少できる。そのため、素子の高周波特性を向上させることが可能となる。

【0022】

(第3の実施の形態)

次に、本発明の第3の実施形態について説明する。この第3の実施形態では、

MMICは、InP基板上にHBTを形成したものであり、そのHBT構造図と製造工程図は、層の材料が異なるだけで、基本的には前記第1及び第2の実施形態と同様である。ここでは、第1の実施形態の図1ないし図7を参照して説明する。半絶縁性InP基板10上に、i-InPからなるバッファ層(500nm)11が形成されており、このバッファ層11上にSiを $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングした n^+ -InGaAsサブコレクタ層(500nm)12とSiを $5 \times 10^{16} \text{ cm}^{-3}$ ドーピングした n -InGaAsコレクタ層13(500nm)が形成されている。コレクタ層13上に、Cを $3 \times 10^{19} \text{ cm}^{-3}$ ドーピングした p^+ -InGaAsベース層14(80nm)が形成されている。ベース層14上には、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングした n -InPもしくは n -InAlAsエミッタ層15(100nm)が形成されている。エミッタ層15上には、エミッタ電極をとるために、Siを高濃度($1 \times 10^{18} \text{ cm}^{-3}$)にドーピングした n^+ -InGaAs層(200nm)からなるエミッタキャップ層16, 17が形成されている。また、ベース電極層として、 p^+ -InGaAs層18($1 \times 10^{20} \text{ cm}^{-3}$: 100nm)を選択成長で形成する。

【0023】

この第3の実施形態のMMICの製造工程についても、第1の実施形態と同様であるので、ここでは説明は省略する。この製造方法においても、抵抗体、キャパシタがHBT素子と同時に形成することができ、集積回路の製造工程を大幅に減少させることができる。また抵抗体の抵抗値は SiO_2 マスクにより決定されるので、制御性良く形成することができる。さらに、ベース電極部に p^+ -GaAs層を設けることにより、メタルとの接触抵抗を小さくでき、ベース抵抗を減少できる。そのため、素子の高周波特性を向上させることが可能となる。

【0024】

なお、第3の実施形態において、コレクタ電極部を選択成長したMMICを形成する場合は、第2の実施形態と同様な製造方法を用いればよい。

【0025】

ここで、前記各実施形態の製造方法において、HBTの成長方法、成長条件、それぞれの層の組成、膜厚、ドーピング濃度、さらに n 型不純物、 p 型不純物の

種類などは、その目的に適合するものならば、すべて任意性がある。またプロセスにおいても、電極に用いる合金や、電極形成の順序、絶縁膜の種類、エッチング方法等の手段は、本発明の目的に適合するものならば、本実施の形態から変更可能であり、限定するものではない。たとえば、エミッタメタルにTi/Pt/Auを用いて、これをキャパシタ下部電極あるいは上部電極に用いる場合も、工程順序は異なるが、抵抗体とキャパシタの製造方法が同様ならば本発明を適用することが可能である。

【0026】

さらに、前記各実施形態では、抵抗体とキャパシタを同時に作製する場合について説明したが、回路に応じて抵抗体のみ、あるいはキャパシタのみ形成する場合でも、適用可能であることは言うまでもない。

【0027】

以上、本発明の好適な実施形態について説明したが、本発明は、前記実施例に限定されることなく、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

【0028】

【発明の効果】

以上説明したように、本発明によれば、HBTのベース電極部もしくはコレクタ電極部と、抵抗体またはMIMキャパシタの絶縁体の少なくとも一方とを同一材料で、さらには同時に形成することにより、プロセスの簡略化を図ることができ、特に、マスクやプロセス工程数を削減して半導体集積回路の製造工程を大幅に減少することができる。また、前記電極部や抵抗体、絶縁体を選択成長法による半導体層で形成することで、抵抗体の抵抗値を制御性良く形成することができ、またコンタクトメタルとの接触抵抗を小さくして寄生抵抗を減少し、素子の高周波特性を向上させることが可能になる。

【図面の簡単な説明】

【図1】

本発明の化合物半導体集積回路の第1の実施形態の断面図である。

【図2】

第 1 の実施形態のヘテロ接合バイポーラトランジスタの構造断面図である。

【図 3】

第 1 の実施形態の製造方法を工程順に示す断面図のその 1 である。

【図 4】

第 1 の実施形態の製造方法を工程順に示す断面図のその 2 である。

【図 5】

本発明の化合物半導体集積回路の第 2 の実施形態の断面図である。

【図 6】

第 2 の実施形態のヘテロ接合バイポーラトランジスタの構造断面図である。

【図 7】

第 2 の実施形態の製造方法を工程順に示す断面図のその 1 である。

【図 8】

第 2 の実施形態の製造方法を工程順に示す断面図のその 2 である。

【図 9】

従来例の化合物半導体集積回路の断面図である。

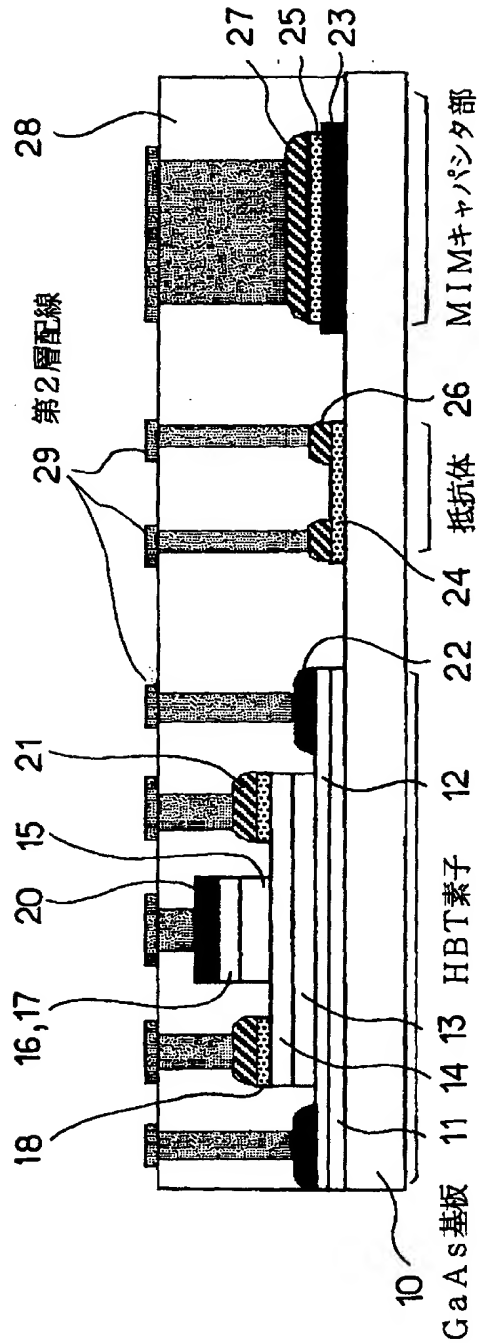
【符号の説明】

- 1 0 半絶縁性GaAs基板
- 1 1 バッファ層
- 1 2 サブコレクタ層 ($n^+ - GaAs$)
- 1 3 コレクタ層 ($n - GaAs$)
- 1 4 ベース層 ($p^+ - GaAs$)
- 1 5 エミッタ層 ($n - AlGaAs$ もしくは $n - InGaP$)
- 1 6 エミッタキャップ層 ($n^+ - GaAs$)
- 1 7 エミッタキャップ層 ($n^+ - InGaAs$)
- 1 8 ベース電極層 ($p^+ - GaAs$)
- 1 9 コレクタ電極層 ($n^+ - GaAs$)
- 2 0 エミッタ電極 (WSi)
- 2 1 ベース電極 (Ti/Pt/Au)
- 2 2 コレクタ電極 (Ni/AuGe/AuもしくはTi/Pt/Au)

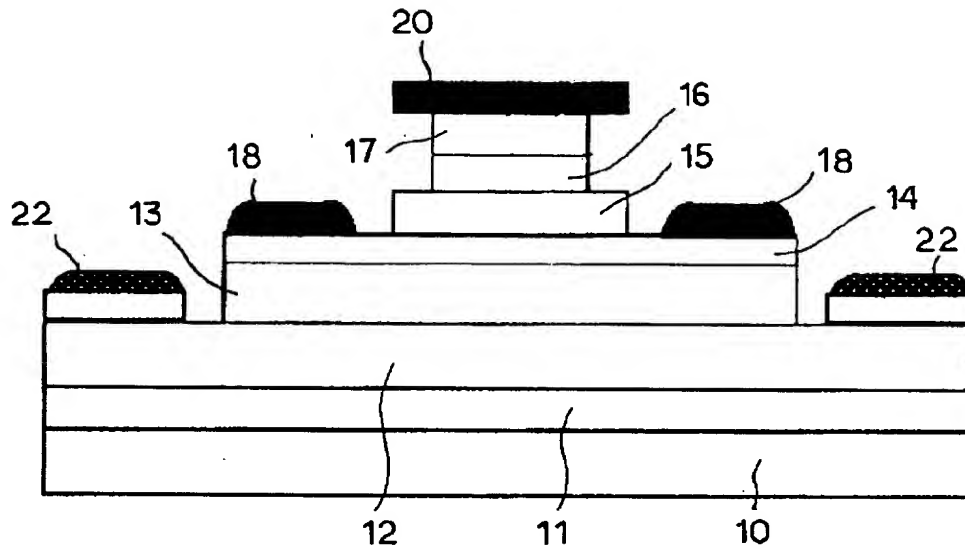
- 2 3 キャパシタ下部電極
- 2 4 抵抗体
- 2 5 絶縁体
- 2 6 抵抗体電極
- 2 7 キャパシタ上部電極
- 2 8 層間絶縁膜
- 2 9 第 2 配線
- 3 0 SiO_2 膜 (マスク)

【書類名】 図面

【図 1】

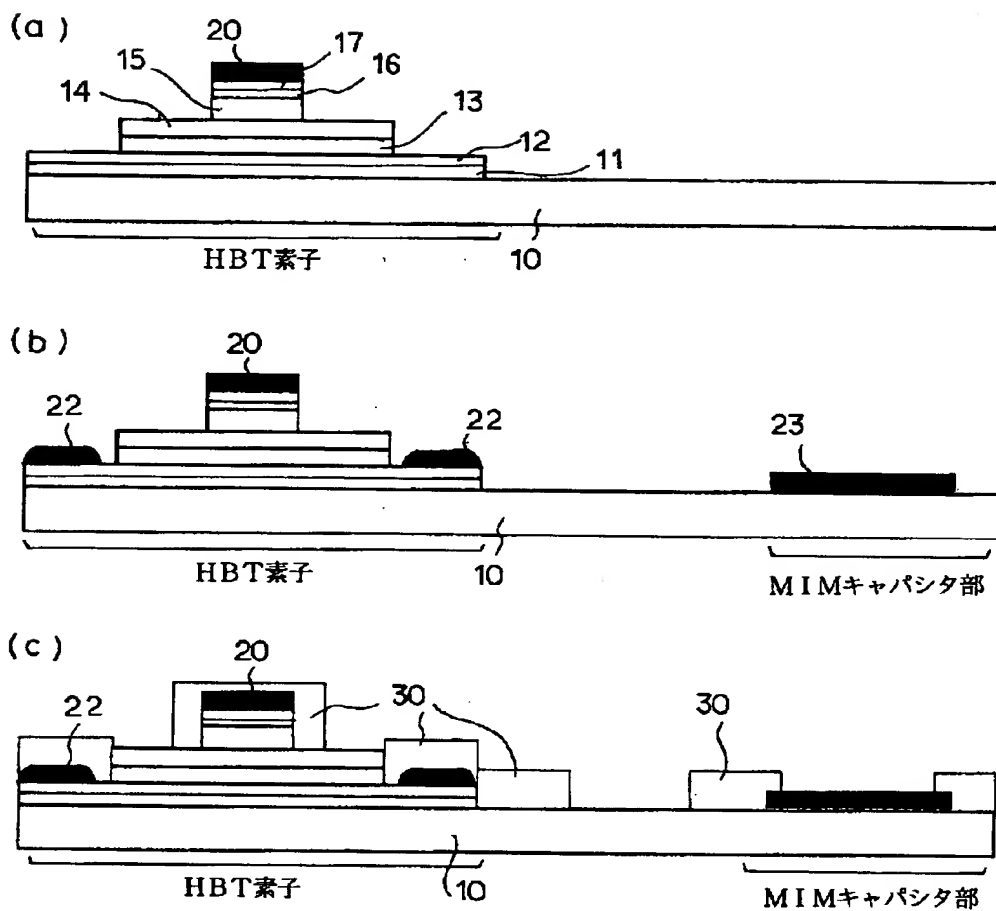


【図 2】



- | | |
|-------------------|------------|
| 10: GaAs 基板 | 18: ベース電極層 |
| 11: バッファ層 | 20: エミッタ電極 |
| 12: サブコレクタ層 | 21: ベース電極 |
| 13: コレクタ層 | 22: コレクタ電極 |
| 14: ベース層 | |
| 15: エミッタ層 | |
| 16, 17: エミッタキャップ層 | |

【図3】

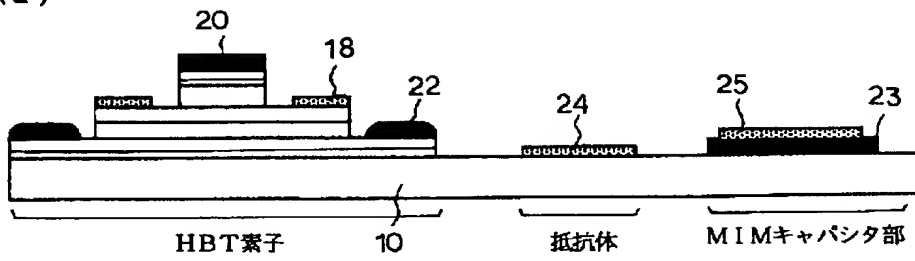


10 : GaAs基板
 12 : サブコレクタ層
 13 : コレクタ層
 14 : ベース層
 15 : エミッタ層
 16, 17 : エミッタキャップ層

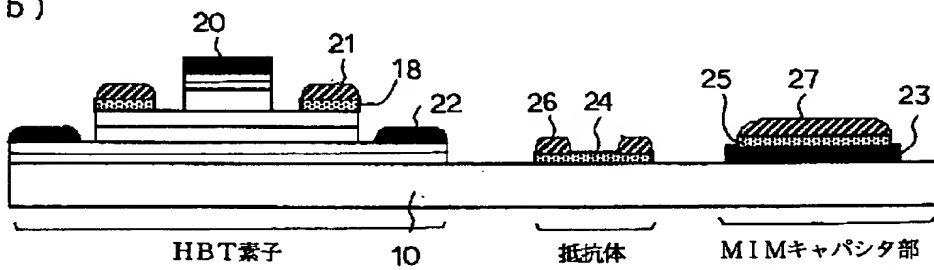
20 : エミッタ電極
 22 : コレクタ電極
 23 : 下部電極
 30 : SiO₂

【図4】

(a)

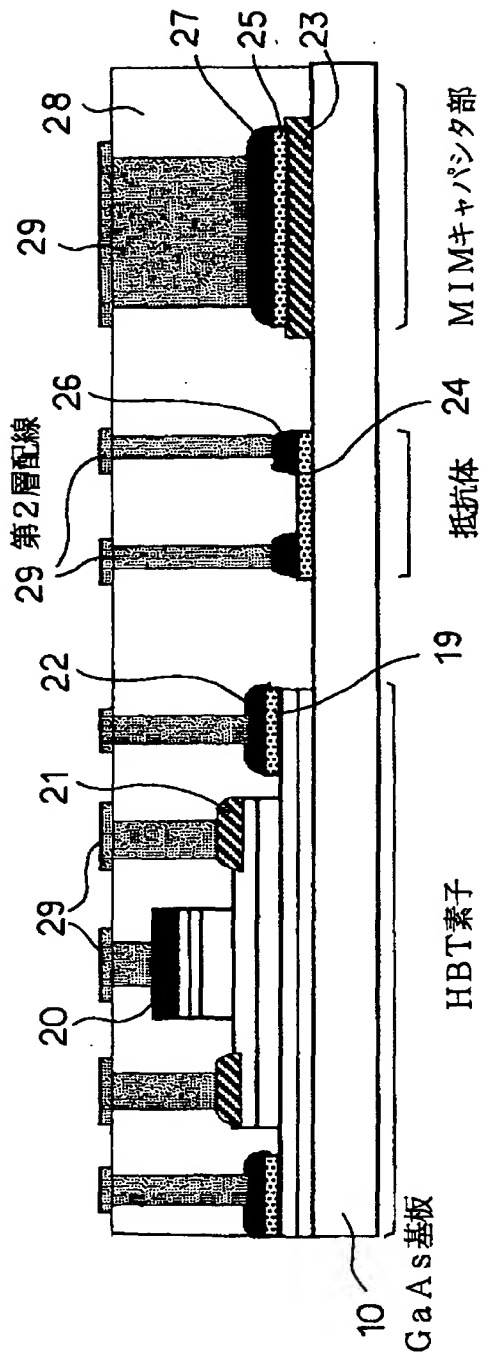


(b)

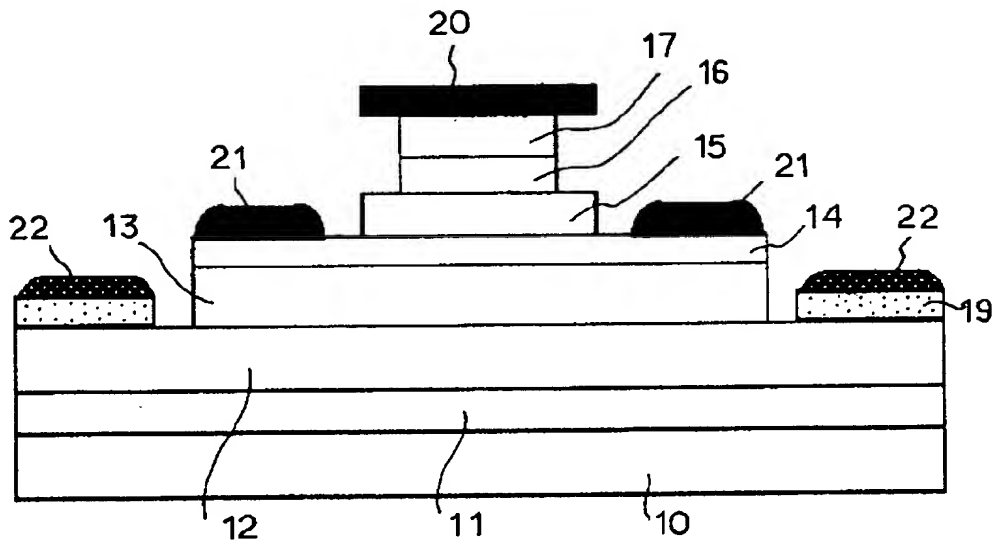


- 10 : GaAs 基板
- 18 : ベース電極層
- 20 : エミッタ電極
- 21 : ベース電極
- 22 : コレクタ電極
- 25 : 絶縁体

【図5】



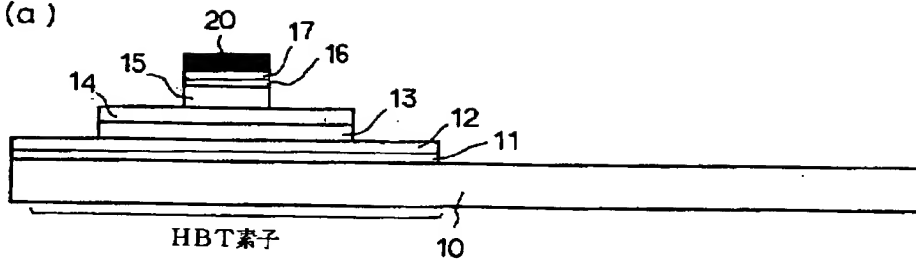
【図 6】



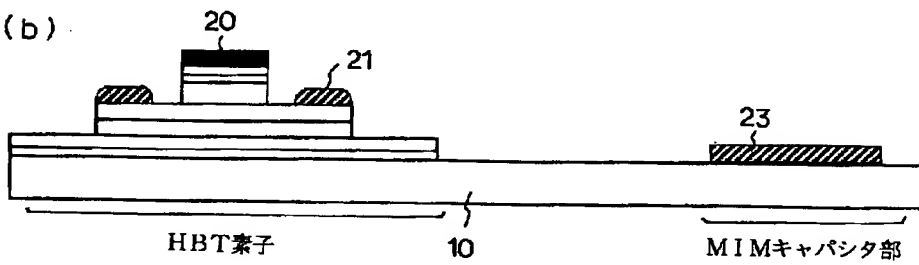
- | | |
|--------------------|--------------|
| 10 : GaAs 基板 | 19 : コレクタ電極層 |
| 11 : バッファ層 | 20 : エミッタ電極 |
| 12 : サブコレクタ層 | 21 : ベース電極 |
| 13 : コレクタ層 | 22 : コレクタ電極 |
| 14 : ベース層 | |
| 15 : エミッタ層 | |
| 16, 17 : エミッタキャップ層 | |

【図 7】

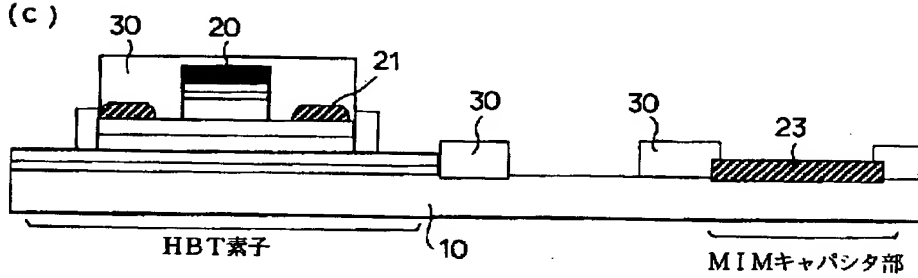
(a)



(b)



(c)

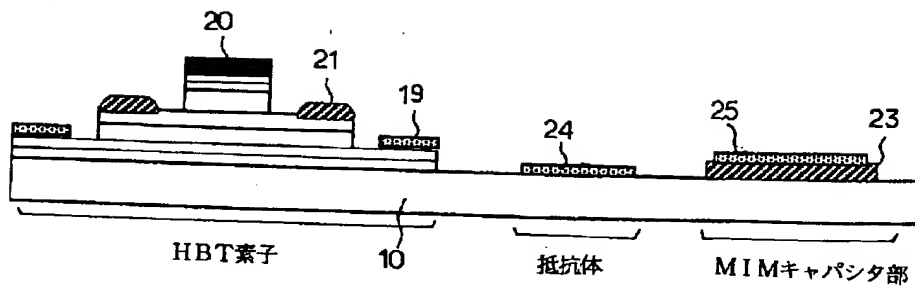


10 : GaAs 基板
12 : サブコレクタ層
13 : コレクタ層
14 : ベース層
15 : エミッタ層
16, 17 : エミッタキャップ層

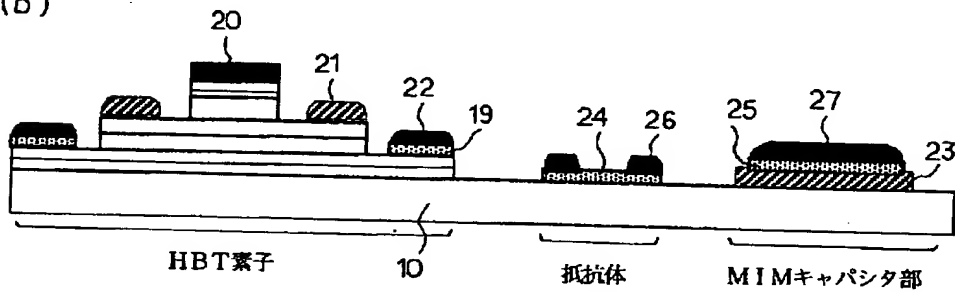
20 : エミッタ電極
21 : ベース電極
23 : 下部電極
30 : SiO₂

【図8】

(a)

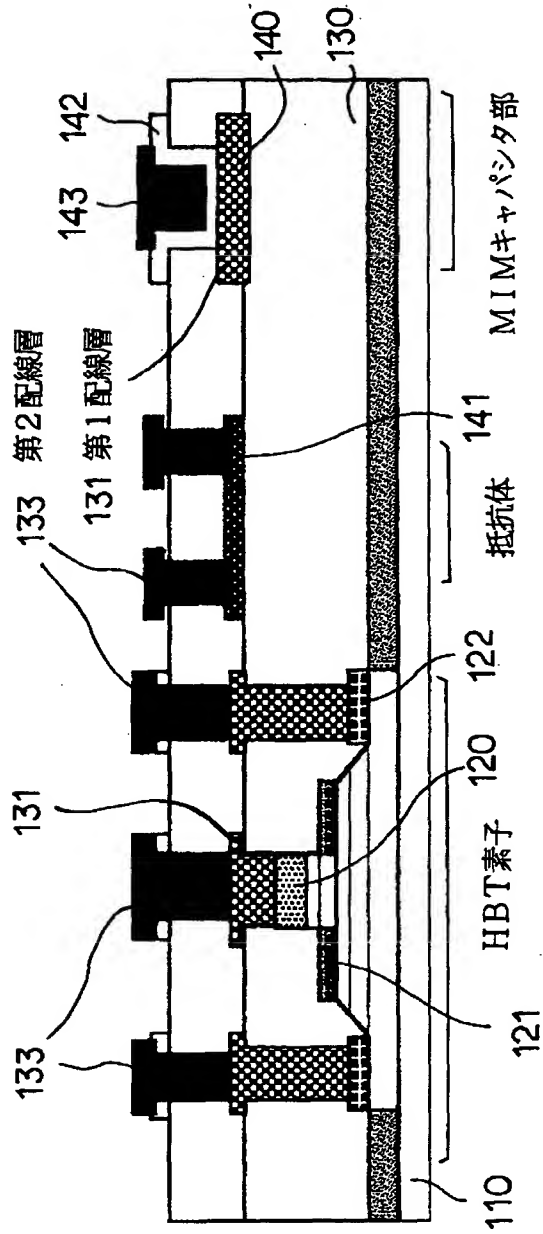


(b)



- 10 : GaAs基板
- 19 : コレクタ電極層
- 20 : エミッタ電極
- 21 : ベース電極
- 22 : コレクタ電極
- 25 : 絶縁体

【図9】



【書類名】 要約書

【要約】

【課題】 III - V 族化合物半導体を用いたヘテロ接合バイポーラトランジスタ (HBT) と抵抗体、MIM キャパシタを同一基板上に設置したモノリシックマイクロ波集積回路 (MMIC) の製造プロセスの簡略化を図る。

【解決手段】 HBT のベース電極層 18 (もしくはコレクタ電極層) と、抵抗体 24 または MIM キャパシタの絶縁体 25 の少なくとも一方とを、有機金属気相成長方法もしくは分子線エピタキシ法により、高濃度に不純物をドーピングした半導体層の選択成長を用いて形成する。HBT 素子と抵抗体及び MIM キャパシタの同時製造が可能になり、マスク数やプロセス工程数を削減でき、しかも選択成長した半導体層が電極層に設けられることで、電極での寄生抵抗が低減し、デバイス特性を向上させることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社